

#2 1-21-00
PB

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Tomoe Yamamoto

Appl. No.: To Be Assigned

Art Unit: To Be Assigned

Filed: November 29, 1999

Examiner: To Be Assigned


For: A METHOD FOR
MANUFACTURING A
SEMICONDUCTOR DEVICE

Docket No.: SHM-00901

jc564 U.S. PTO
09/450351
11/29/99

Certificate of Express Mail

I hereby certify that the foregoing documents are being deposited with the United States Postal Service as Express Mail, postage prepaid, "Post Office to Addressee", in an envelope addressed to the Assistant Commissioner for Patents Washington, D.C. 20231 on this date of November 29, 1999.


Name: Ariel Collazo
Express Mail Label: EL354729175US

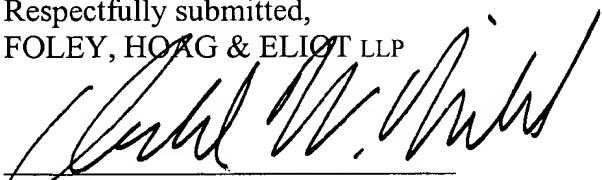
SUBMISSION OF PRIORITY DOCUMENT

Assistant Commissioner for Patents
Washington, DC 20231

Sir:

Attached hereto is Japanese application no. 11-055185, filed March 3, 1999, a priority document for the above-referenced application. Should there be any questions after reviewing this submission, the Examiner is invited to contact the undersigned at 617-832-1257.

Respectfully submitted,
FOLEY, HOAG & ELIOT LLP

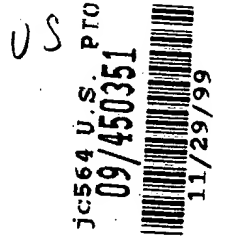

Donald W. Muirhead
Reg. No. 33,978

November 29, 1999
Date

Patent Group
Foley, Hoag & Eliot LLP
One Post Office Square
Boston, MA 02109-2170

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

1998年11月27日

願番号
Application Number:

平成10年特許願第337542号

願人
Applicant(s):

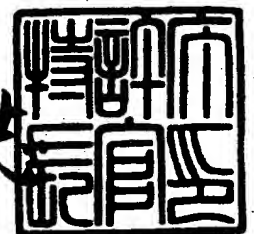
日本電気株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

1999年 8月26日

特許庁長官
Commissioner,
Patent Office

伴佐山建志



【書類名】 特許願

【整理番号】 74111014

【提出日】 平成10年11月27日

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 H01L 27/04

【発明の名称】 CVD-TiN膜の成膜方法

【請求項の数】 7

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 山本 朝恵

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

 【代表者】 金子 尚志

【代理人】

 【識別番号】 100096231

 【弁理士】

 【氏名又は名称】 稲垣 清

 【電話番号】 03-5295-0851

【手数料の表示】

 【予納台帳番号】 029388

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 CVD-TiN膜の成膜方法

【特許請求の範囲】

【請求項1】 酸化物からなる誘電体膜上に窒化チタン (TiN) をCVD法により成膜するCVD-TiN膜の成膜方法において、

誘電体膜上にCVD-TiN膜を成膜する工程の前に、誘電体膜を構成する酸化物に対する非反応性ガス雰囲気中で、誘電体膜が形成された基板を加熱する工程を有することを特徴とするCVD-TiN膜の成膜方法。

【請求項2】 酸化物からなる誘電体膜が、酸化タンタル (Ta_2O_5) 膜であることを特徴とする請求項1に記載のCVD-TiN膜の成膜方法。

【請求項3】 加熱温度は、400℃以上700℃以下の温度であることを特徴とする請求項2に記載のCVD-TiN膜の成膜方法。

【請求項4】 酸化タンタルに対する非反応性ガス雰囲気は、 NH_3 ガスを含まないことを特徴とする請求項2又は3に記載のCVD-TiN膜の成膜方法。

【請求項5】 酸化タンタルに対する非反応性ガス雰囲気は、窒素ガス、アルゴンガスを含む希ガス、水素ガス及びそれらの混合ガスのいずれかのガスからなることを特徴とする請求項2又は3に記載のCVD-TiN膜の成膜方法。

【請求項6】 四塩化チタン ($TiCl_4$) 及びアンモニア (NH_3) を含む混合ガスにより、CVD-TiN膜を成膜することを特徴とする請求項1から3のうちのいずれか1項に記載のCVD-TiN膜の成膜方法。

【請求項7】 容量素子の容量膜として酸化タンタル膜を成膜し、プレート電極としてCVD-TiN膜を形成することを特徴とする請求項2から6のうちのいずれか1項に記載のCVD-TiN膜の成膜方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、CVD-TiN膜の成膜方法に関し、更に詳細には、容量素子のプレート電極として最適な、漏れ電流の小さい酸化タンタル (Ta_2O_5) 膜上に

CVD-TiN膜を成膜する方法に関するものである。

【0002】

【従来の技術】

半導体装置、例えばDRAMのメモリセルをMOSFETと共に構成する容量素子は、通常、容量電極（下部電極）と、容量電極上に形成された容量膜と、容量膜上に成膜されたプレート電極とから構成されている。

半導体装置の微細化に伴い、小型でしかも大きな静電容量を有する容量素子が要求されており、これに応じて容量膜には酸化タンタル（ Ta_2O_5 ）膜を、プレート電極にはCVD-TiN膜をそれぞれ用いた容量素子が、提案されている。

【0003】

ここで、図1（a）及び（b）を参照して、上述の容量素子を作製する際の従来のCVD-TiN膜の成膜方法を説明する。

まず、図1（a）に示すように、シリコン基板1上に絶縁膜2を成膜し、次いで絶縁膜2にコンタクトホールを形成する。続いて、コンタクトホールを埋め込みつつ絶縁膜2上に厚さ1000nm程度のポリシリコン膜からなる容量電極3を形成する。この容量電極3上にはHSGなどを形成しても良い。

次いで、このスタック電極3上に Ta_2O_5 のような誘電体からなる容量膜4をCVD法などで厚さ10nm程度成膜する。

【0004】

次いで、図1（b）に示すように、CVD成膜装置を使って、容量膜4上にCVD-TiN膜を成膜し、プレート電極5を形成する。CVD-TiN膜は、四塩化チタン、アンモニア、窒素を原料ガスとし、基板温度を400℃～700℃、CVD成膜装置の成膜チャンバ（以下、簡単に成膜チャンバと言う）内の圧力を数torr～20torrとした成膜条件の下で行う。

【0005】

図6にCVD-TiN膜の成膜工程でのガス導入ステップを示す。縦軸に使用するガスの流量、横軸に時間を示す。成膜ステップは、基板加熱ステップ、CVD-TiN膜の成膜ステップ、成膜チャンバ内をガスパージするガスパージステ

ップからなる。

基板加熱ステップのチャンバ雰囲気として NH_3 ガスもしくはその他の Ta_2O_5 膜に対する反応性のガスを用いる。CVD-TiN膜の成膜ステップでは、 TiCl_4 ガスを数 ~ 40 sccm、 NH_3 ガスを数 $100\sim 1000$ sccm、 N_2 ガスを数 $100\sim 3000$ sccmのガスの流量で導入する。

成膜ステップに続いて、 NH_3 ガス中で基板を保持する保持ステップがあってもよい。成膜チャンバのガスパージステップでは、 TiCl_4 ガス及び NH_3 ガス以外の不活性ガスを用いて、成膜チャンバの生成物ガス及び未反応ガスをパージする。

成膜ステップに次いで、図3に示すように、多結晶シリコン膜6を成長させた後に、CVD-TiN膜及び多結晶シリコン膜をバターニングしてプレート電極5を形成する。

【0006】

【発明が解決しようとする課題】

しかし、上述した従来の方法で成膜したCVD-TiN膜を容量膜とする容量素子では、リーク電流が発生し、かつ静電容量の減少が大きいという問題があった。

【0007】

そこで、本発明の目的は、リーク電流の小さい容量素子等の半導体装置を作製できるCVD-TiN膜の成膜方法を提供することである。

【0008】

【課題を解決するための手段】

本発明者は、リーク電流が大きい原因を追求した過程で、次のことを見いだした。即ち、従来のCVD-TiN膜の成膜方法では、CVD-TiN膜の成膜ステップ前に行う基板加熱ステップで、 NH_3 ガスを流して基板を加熱し、次いで Ta_2O_5 膜上にCVD-TiN膜を成膜してプレート電極を形成しているために、 NH_3 による Ta_2O_5 膜の還元が起こり、 Ta_2O_5 膜が劣化し、そのために、リーク電流が大きくなることを見出した。

そして、 Ta_2O_5 膜の劣化を防止し、リーク電流を低減させるには、CVD

—TiN膜の成膜時に窒素、アルゴン、水素などの Ta_2O_5 に対する非反応性、即ち不活性ガス中で基板加熱を行い、それに続いて四塩化チタンとアンモニアを供給してCVD—TiN膜を成膜することにより、良好な容量膜を保持できることを見出し、本発明を完成するに到った。

【0009】

上記目的を達成するために、上述の知見に基づいて、本発明に係るCVD—TiN膜の成膜方法は、酸化物からなる誘電体膜上に窒化チタン(TiN)をCVD法により成膜するCVD—TiN膜の成膜方法において、

誘電体膜上にCVD—TiN膜を成膜する工程の前に、誘電体膜を構成する酸化物に対する非反応性ガス雰囲気中で、誘電体膜が形成された基板を加熱する工程を有することを特徴としている。

【0010】

CVD—TiN膜の成膜前の加熱は、CVD—TiN膜の成膜条件に適合するように基板温度を整える目的と、基板裏面に吸着したガスを基板から除去する目的とを有する。加熱ステップは、基板が所定の加熱温度に到達すれば、終了する。

【0011】

好適には、本CVD—TiN膜の成膜方法は、酸化タンタル(Ta_2O_5)膜上に窒化チタン(TiN)をCVD法により成膜するCVD—TiN膜の成膜方法において、

酸化タンタル膜上にCVD—TiN膜を成膜する工程の前に、酸化タンタルに対する非反応性ガス雰囲気中で、酸化タンタル膜が形成された基板を加熱する工程を有することを特徴としている。

【0012】

本発明方法では、CVD—TiN膜の成膜直前に、酸化タンタルに対する非反応性ガス雰囲気中で基板を加熱することにより、容量膜の劣化が起こらないので、漏れ電流を抑制することができる。

【0013】

好適には、加熱温度は、400℃以上700℃以下の温度である。また、酸化

タンタルに対する非反応性ガス雰囲気は、 NH_3 ガスを含まない。例えば、不活性ガス雰囲気は、窒素ガス、アルゴンガスを含む希ガス、水素ガス及びそれらの混合ガスのいずれかのガスからなる。

【0014】

CVD-TiN膜の成膜工程では、四塩化チタン (TiCl_4) 及びアンモニア (NH_3) を含む混合ガスにより、CVD-TiN膜を成膜する。

本発明方法で成膜するCVD-TiN膜の用途には制約はないが、例えば、容量素子の容量膜として酸化タンタル膜を成膜し、プレート電極としてCVD-TiN膜を形成すると、良好な容量素子を作製することができる。

【0015】

【発明の実施の形態】

以下に、実施形態例を挙げ、添付図面を参照して、本発明の実施の形態を具体的かつ詳細に説明する。

実施形態例 1

本実施形態例は、本発明に係るCVD-TiN膜の成膜方法を容量素子のプレート電極の形成に適用した、実施形態の一の例であって、図1(a)及び(b)は本実施形態例の成膜方法を適用して、容量素子を製造する際の積層構造の断面図である。

まず、図1(a)に示すように、シリコン基板1上に絶縁膜2を成膜し、次いで絶縁膜2にコンタクトホールを形成する。続いて、コンタクトホールを埋め込みつつ絶縁膜2上に厚さ1000nm程度のポリシリコンからなる容量電極3を形成する。この容量電極3上にはHSGなどを形成しても良い。

次いで、このスタック電極3上に Ta_2O_5 のような誘電体からなる容量膜4をCVD法などで厚さ10nm程度成膜する。

【0016】

次いで、図1(b)に示すように、容量膜4上にCVD-TiN膜を成膜し、CVD-TiN膜からなるプレート電極5を形成する。CVD-TiN膜は、四塩化チタン、アンモニア、窒素を原料ガスとし、基板温度を400℃～700℃、圧力を数torrから20torrの成膜条件の下で行う。

【0017】

本実施形態例の方法に従ってCVD-TiN膜を成膜する際の各ステップの条件を図2(b)に示す。図2(b)では、横軸に使用するガスの導入時間、縦軸に導入したガスの流量を示す。

CVD-TiN膜の成膜工程は、先ず、酸化タンタルに対する非反応性ガス、又は不活性ガス、例えば N_2 ガスのみを導入して基板を加熱する基板加熱ステップと、 N_2 ガスに加えて反応ガスとして $TiCl_4$ ガス及び NH_3 ガスを導入するCVD-TiN膜の成膜ステップ、 $TiCl_4$ ガスの導入を停止し、引き続き N_2 ガス及び NH_3 ガスを導入して、成膜チャンバ内をパージするガスパージステップとから構成されている。

基板加熱ステップでは、基板裏面に吸着したガスの除去も行うために、加熱温度を $500\sim 700^{\circ}C$ とする。

【0018】

基板加熱ステップでの成膜チャンバ内のガス雰囲気は、 NH_3 ガスもしくはその他反応性のガスを導入することなく、窒素、アルゴン、水素などの不活性ガスを用いる。

CVD-TiN膜の成膜ステップでは、 $TiCl_4$ ガスを数 ~ 40 sccm、 NH_3 ガスを数 $100\sim 1000$ sccm、 N_2 ガスを数 $100\sim 3000$ sccmの流量で導入する。この成膜ステップに続いて、 NH_3 ガス中で基板を保持する保持ステップがあってもよい。

成膜チャンバ内のガスパージステップは、 $TiCl_4$ 及び NH_3 以外の不活性ガスを用いてチャンバ内の生成ガス及び未反応ガスをパージする。

続いて、図3に示すように、プレート電極5上に、多結晶シリコン膜6を成長させ、パターニングして所望の容量素子を形成する。

【0019】

本実施形態例のCVD-TiN膜の成膜方法によれば、CVD-TiN膜の成膜前に NH_3 による Ta_2O_5 膜表面の還元が起こらないので、 Ta_2O_5 膜の劣化が起こらず、漏れ電流の小さい Ta_2O_5 膜上に窒化チタン膜を形成することができる。よって、容量素子の容量電気特性を安定化させることができる。

【0020】

実施形態例2

本実施形態例は、本発明に係るCVD-TiN膜の成膜方法を容量素子の形成に適用した、実施形態の別の例であって、図4は本実施形態例の方法によって製造された容量素子の構成を示す断面図である。

まず、実施形態例1の容量素子と同様に、シリコン基板1上に絶縁膜2を成膜し、次いで絶縁膜2にコンタクトホールを形成する。続いて、コンタクトホールを埋め込みつつ絶縁膜2上に厚さ1000nm程度の第1の容量電極8を形成する。この容量電極3上にはHSGなどを形成しても良い。

このスタック電極3上に更に第2の容量電極9を形成し、次いで、 Ta_2O_5 からなる容量膜5をCVD法などで厚さ10nm程度成膜する。

容量膜5上にCVD-TiN膜を成膜し、プレート電極6とする。この成膜時の基板加熱ステップで、不活性ガス、例えば N_2 ガスを用いる。多結晶シリコン膜7を成長させた後、多結晶シリコン膜7及びプレート電極6をパターニングして容量素子を形成する。

【0021】

実施形態例3

本実施形態例は、本発明に係るCVD-TiN膜の成膜方法を容量素子の形成に適用した、実施形態の更に別の例であって、図5は本実施形態例の方法によって製造された容量素子の構成を示す断面図である。

まず、図5に示すように、シリコン基板1を覆う第1の絶縁膜10上に更に第2の絶縁膜11を成膜した後、凹型の容量電極4を形成する。この容量電極4上にはHSGなどが形成されていてもよい。

このスタック電極4上に Ta_2O_5 からなる容量膜5をCVD法などで厚さ10nm程度成膜する。容量膜5上にCVD-TiN膜を成膜をして、プレート電極6とする。この成膜時の基板加熱ステップでは、不活性ガスを用いる。

次いで、多結晶シリコン膜7を成長させた後に、多結晶シリコン膜7及びプレート電極6をパターニングして容量素子を形成する。

【0022】

【発明の効果】

本発明によれば、誘電体膜、例えば酸化タンタル膜上にCVD-TiN膜を成膜する工程の前に、酸化タンタルに対する非反応性ガス雰囲気中で基板を加熱することにより、容量膜の劣化が起こらないので、漏れ電流を抑制することができ、容量特性の劣化が抑制できることである。

従来のCVD-TiN膜の成膜方法では、CVD-TiN成膜直前に成膜用の反応ガスである NH_3 ガスを流しているため、 NH_3 ガスによる Ta_2O_5 膜の還元による劣化が起こる。本発明では、基板加熱ステップで不活性ガスを用いているため、 Ta_2O_5 膜の劣化は起こらず、良好な容量特性がえられる。

【図面の簡単な説明】

【図1】

図1(a)及び(b)は実施形態例1の製造方法を適用して、容量素子を製造する際の積層構造の断面図である。

【図2】

実施形態例1のCVD-TiN膜の成膜時のガス導入ステップを示すグラフである。

【図3】

図1(b)に続いて、実施形態例1の製造方法を適用して、容量素子を製造する際の積層構造の断面図である。

【図4】

実施形態例2の製造方法を適用して、容量素子を製造する際の積層構造の断面図である。

【図5】

実施形態例3の製造方法を適用して、容量素子を製造する際の積層構造の断面図である。

【図6】

従来のCVD-TiN膜の成膜時のガス導入ステップを示すグラフである。

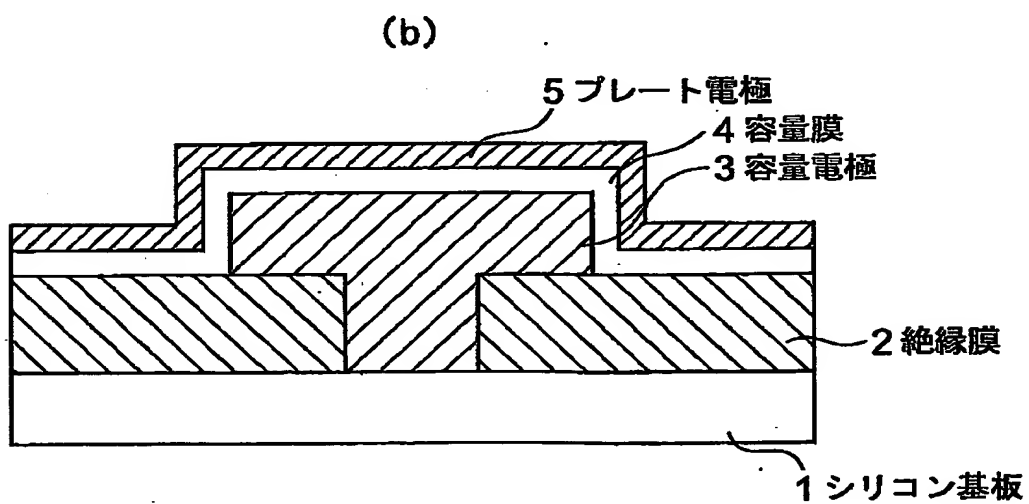
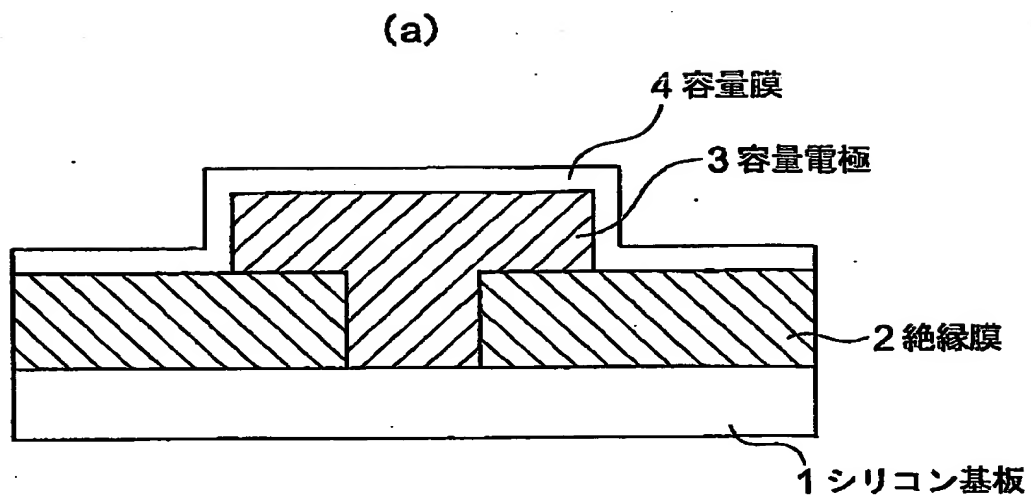
【符号の説明】

- 1 シリコン基板

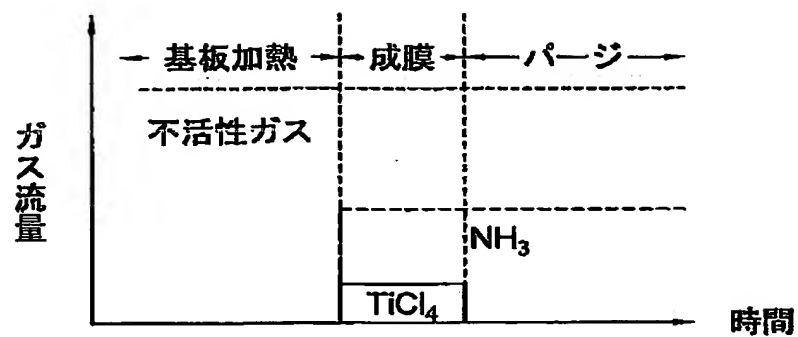
- 2 絶縁膜
- 3 容量下部電極
- 4 容量膜（酸化タンタル膜）
- 5 プレート電極（窒化チタン膜）
- 6、7 多結晶シリコン膜
- 8 第1の容量電極
- 9 第2の容量電極
- 10 第1の絶縁膜
- 11 第2の絶縁膜

【書類名】 図面

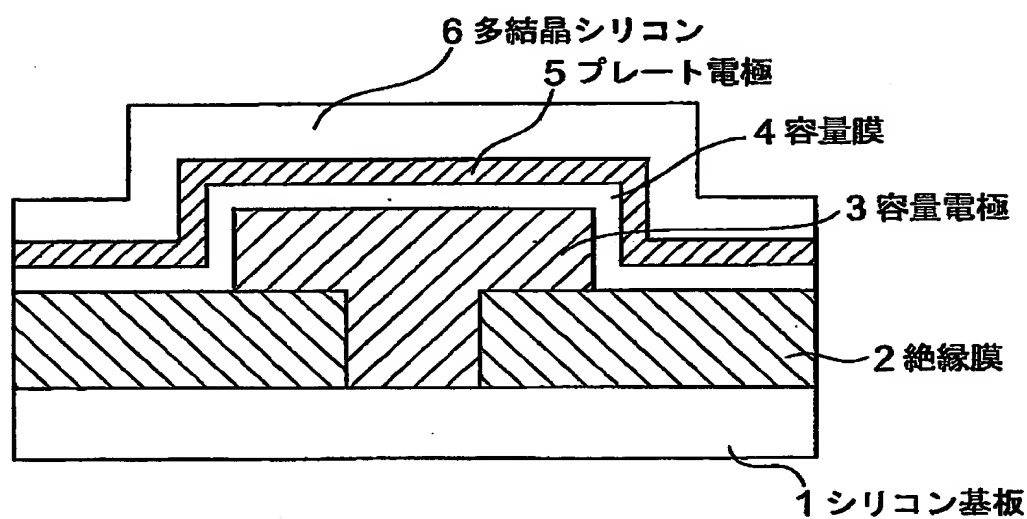
【図 1】



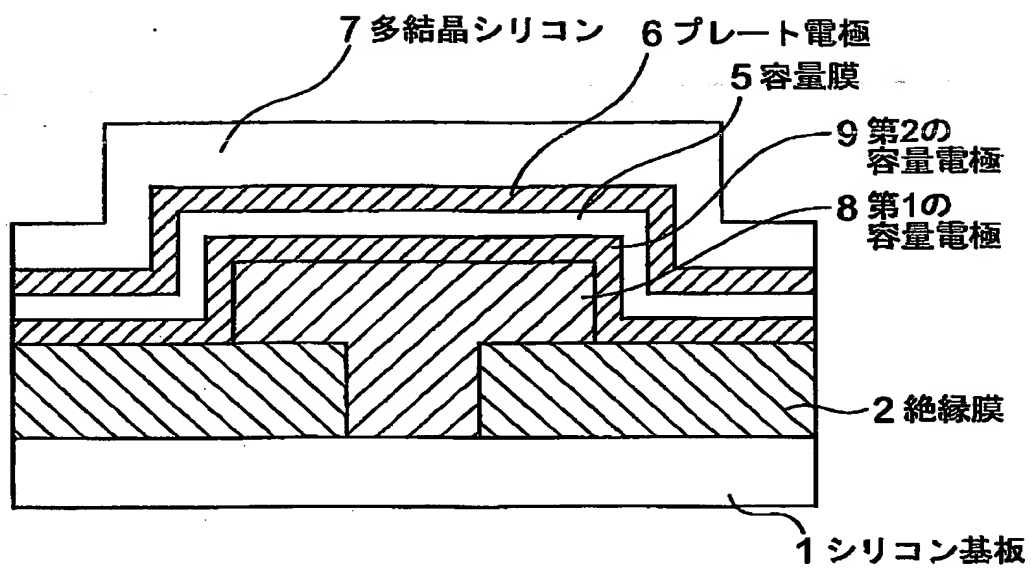
【図 2】



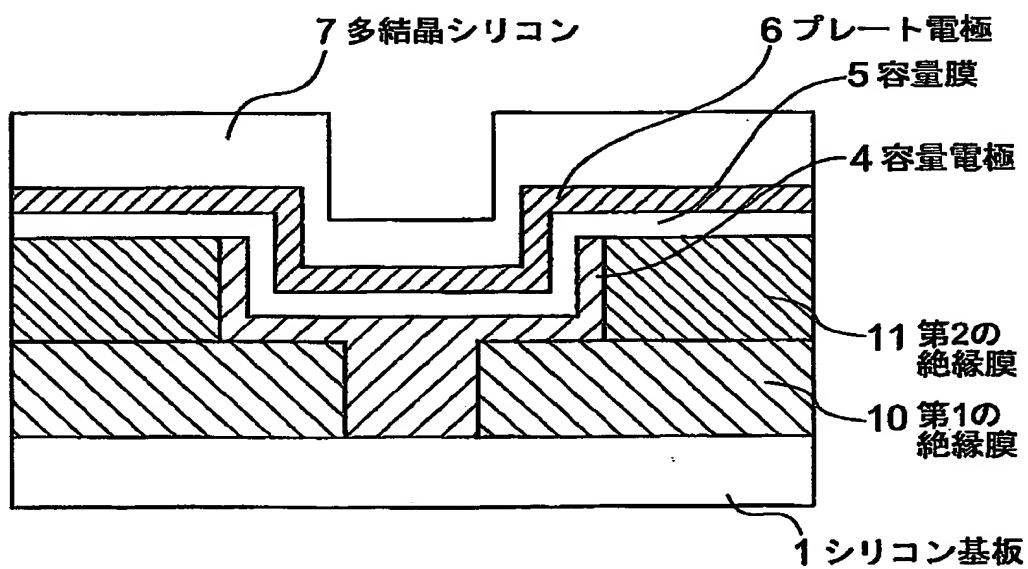
【図 3】



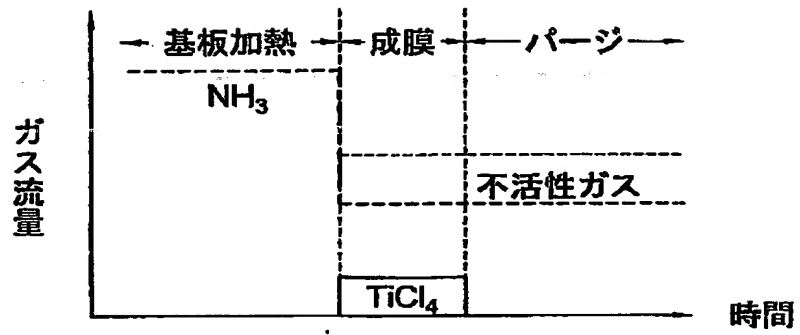
【図4】



【図5】



【図 6】



【書類名】 要約書

【要約】

【課題】 リーク電流の小さい容量素子等の半導体装置を作製できるCVD-TiN膜の成膜方法を提供する。

【解決手段】 本方法は、酸化タンタル(Ta_2O_5)膜上に窒化チタン(TiN)をCVD法により成膜するCVD-TiN膜の成膜方法にあって、酸化タンタル膜上にCVD-TiN膜を成膜する工程の前に、酸化タンタルに対する非反応性ガス雰囲気中で、酸化タンタル膜が形成された基板を500℃以上700℃以下の温度に加熱する工程を有する。

【選択図】 図2

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】
【識別番号】 000004237
【住所又は居所】 東京都港区芝五丁目7番1号
【氏名又は名称】 日本電気株式会社
【代理人】 申請人
【識別番号】 100096231
【住所又は居所】 東京都千代田区神田東松下町37番地 林道ビル5
階 扶桑特許事務所
【氏名又は名称】 稲垣 清

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社